

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189497
 (43)Date of publication of application : 21.07.1998

(51)Int.CI.

H01L 21/301
H01L 21/3205

(21)Application number : 08-344732

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.12.1996

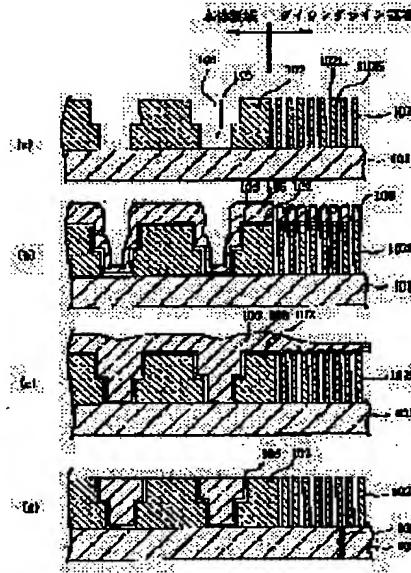
(72)Inventor : KUBOTA TAKESHI
MATSUI YOSHITAKA
KITAMURA TOSHIHIKO
MASE KOICHI

(54) SEMICONDUCTOR DEVICE AND ITS FABRICATION

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid degradation of the lifetime of a dicing blade by forming a pseudo pattern having microspace parts in a dicing line region at the time of making a trench for buried interconnection in an insulation layer or a contact hole in a buried interconnection layer.

SOLUTION: A semiconductor substrate 101 is coated with an insulation layer 102 and a contact hole 103 or an interconnection trench 104 are made in the region at a body part. A pseudo pattern 102P having a plurality of microspace parts 102S is formed in a dicing line region simultaneously with formation of the contact hole 103 or the interconnection trench 104. Subsequently, a barrier metal 105 and Cu 106 are deposited by sputtering and interconnection materials are buried. The contact hole 103 and the interconnection trench 104 are filled with these interconnection materials in the body region but the space part 102S is limited in the dicing region, the sputtered particles adhere to the pseudo pattern 102P and scarcely adhere to the inside thereof.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-189497

(43)公開日 平成10年(1998)7月21日

(51)Int.Cl.⁶

H 0 1 L 21/301
21/3205

識別記号

F I

H 0 1 L 21/78
21/88

L
Z

審査請求 未請求 請求項の数18 O L (全 8 頁)

(21)出願番号 特願平8-344732

(22)出願日 平成8年(1996)12月25日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 久保田 剛

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(72)発明者 松井 嘉孝

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(72)発明者 北村 敏彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(74)代理人 弁理士 外川 英明

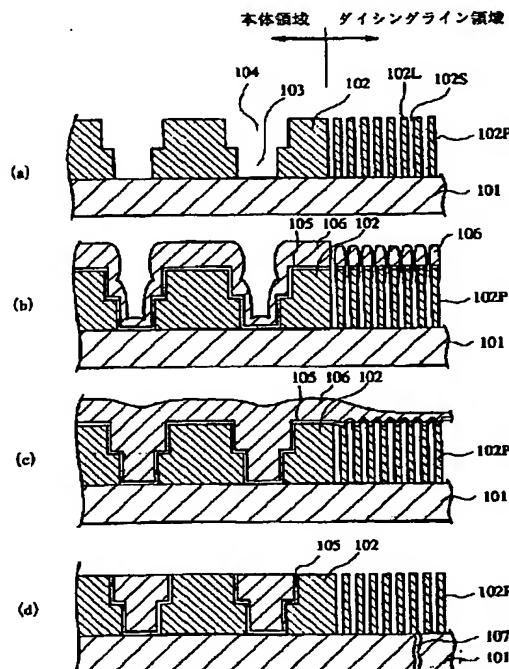
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】埋め込み配線の形成方法において、ダイシングライン領域に配線材料が埋めこまれた状態でダイシングを行うとダイシングブレードの寿命を著しく下げてしまうという問題を解決する事を目的とする。

【解決手段】絶縁膜に対する埋め込み配線用の溝形成時若しくは埋め込み配線の下層の接続孔形成時に、ダイシングライン領域に微小なスペース部を有する擬似パターンを形成するものであり、工程数を増加させずに問題を回避する。



1

【特許請求の範囲】

【請求項1】半導体素子が形成された本体領域と前記本体領域に隣接して設けられたダイシング領域とを有する半導体装置において、前記ダイシング領域には微小なスペース部を有する擬似パターンが設けられた絶縁膜が形成されている事を特徴とする半導体装置。

【請求項2】前記擬似パターンは、溝パターンである事を特徴とする請求項1記載の半導体装置。

【請求項3】前記擬似パターンは、孔パターンである事を特徴とする請求項1記載の半導体装置。

【請求項4】前記擬似パターンは、前記スペースの幅が前記絶縁膜の厚みの半分以下である事を特徴とする請求項1乃至3記載の半導体装置。

【請求項5】前記擬似パターンは、前記スペースの幅が1μm以下である事を特徴とする請求項1乃至4記載の半導体装置。

【請求項6】前記擬似パターンは、複数の微小なスペース部を含むパターンである事を特徴とする請求項1乃至5記載の半導体装置。

【請求項7】前記擬似パターンは、前記ダイシング領域の長手方向に連続的に形成されている事を特徴とする請求項1乃至6記載の半導体装置。

【請求項8】前記本体領域上に、前記半導体素子に電気的に接続される金属配線が埋めこまれた絶縁膜が形成されている事を特徴とする請求項1乃至7記載の半導体装置。

【請求項9】半導体素子が形成された本体領域と前記本体領域に隣接して設けられたダイシング領域とを有する半導体基板上に絶縁膜を堆積する工程と、前記半導体基板のダイシング領域における前記絶縁膜に微小なスペース部を有する擬似パターンを形成する工程を含む事を特徴とする半導体装置の製造方法。

【請求項10】前記半導体基板のダイシング領域における前記擬似パターンを形成する工程は、前記本体領域における絶縁膜の形成と同時に行われる事を特徴とする請求項9記載の半導体装置。

【請求項11】半導体素子が形成された本体領域と前記本体領域に隣接して設けられたダイシング領域とを有する半導体基板上に絶縁膜を堆積する工程と、前記本体領域における前記絶縁膜に配線溝を形成する工程と、前記配線溝底面に接続孔を形成する工程を有し、前記配線溝若しくは前記接続孔の形成工程において前記半導体基板のダイシングライン領域における前記絶縁膜に、微小なスペース部を有する擬似パターンを形成する事を特徴とする半導体装置の製造方法。

【請求項12】半導体素子が形成された本体領域と前記本体領域に隣接して設けられたダイシング領域とを有する半導体基板上に絶縁膜を堆積する工程と、前記本体領域における前記絶縁膜に接続孔を形成する工程と、前記絶縁膜に、前記接続孔に少なくとも一部が重なる様に配

10

20

30

40

50

2

線溝を形成する工程を有し、前記接続孔若しくは前記配線溝の形成工程において前記半導体基板のダイシングライン領域における前記絶縁膜に、微小なスペース部を有する擬似パターンを形成する事を特徴とする半導体装置の製造方法。

【請求項13】前記擬似パターンは、溝パターンである事を特徴とする請求項9乃至12記載の半導体装置の製造方法。

【請求項14】前記擬似パターンは、孔パターンである事を特徴とする請求項9乃至12記載の半導体装置の製造方法。

【請求項15】前記擬似パターンは、前記スペースの幅が前記絶縁膜の厚みの半分以下である事を特徴とする請求項9乃至14記載の半導体装置の製造方法。

【請求項16】前記擬似パターンは、前記スペースの幅が1μm以下である事を特徴とする請求項9乃至15記載の半導体装置の製造方法。

【請求項17】前記擬似パターンは、複数の微小なスペース部を含むパターンである事を特徴とする請求項9乃至16記載の半導体装置の製造方法。

【請求項18】前記擬似パターンは、前記ダイシング領域の長手方向に連続的に形成されている事を特徴とする請求項9乃至17記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に埋め込み配線構造を有する場合におけるダイシングライン領域の構造に関する。

【0002】

【従来の技術】近年、集積回路の微細化とともに多層配線化が進められており、製品の安定した歩留りや信頼性を確保する為に、より厳しい平坦性が要求されるようになっている。従来、一般的に用いられている半導体装置における配線の形成方法は、絶縁膜上にスパッタにより配線材料を形成し、リソグラフィ及びエッチングにより配線形成を行うものであった。ところが、微細化及び配線の低抵抗の為に配線のアスペクト比（配線の高さと幅の比）が増大し、より優れた平坦化の必要性が出て来た為、従来の平坦化技術であるSOG（Spin On Glass）エッチバック、TEOS（テトラエチルオルソシリケート）-O₃系BPSG（Boron Phospho Silicate Glass）リフロー等に変わり、絶縁膜上に配線溝を形成し、その中に配線材料を埋めこんでしまう埋め込み配線法が検討されて来ている。また将来の配線材料として、その低抵抗、高信頼性の特性を有するが故に、AL配線に変わりCu配線が候補の一つとして上がっているが、Cu配線は従来のRIEによる加工が困難であることから、また埋め込み配線法によると、工程削減（配線を加工する工程等が減る、配線と絶縁膜の平坦化が同時に出来る等）によるコストの低減効果も同時に有している事か

ら、上記埋め込み配線の検討が盛んになって来ている。図4に従来技術に係る半導体装置の製造方法における工程の一例を示す。401は半導体基板、402は絶縁膜、403は接続孔、404は配線溝、405はバリアメタル、406はA1系合金、407はダイシング部を示している。埋め込み配線の形成は、図4(a)に示す様に半導体基板401上の絶縁膜402を被膜し、リソグラフィ及びエッティングにより接続孔403及び配線溝404を形成する。この接続孔403と配線溝404はどちらを先に形成しても構わない。この際、図4(a)に示すダイシングライン部の絶縁膜は接続孔403若しくは配線溝404と同時にリソグラフィ及びエッティングにより除去される。次に図4(b)に示す様にスパッタによりバリアメタル405(Ti 15nm, TiN 60nm)及びA1系合金406(1.0μm)の成膜をして接続孔403及び配線溝404に配線材料の埋め込みを行う。次に図4(c)に示す様に熱処理(レーザー照射 1.5J/cm²)を施してA1系合金406をリフローさせる。次に図4(d)に示す様にCMP(Chemical Mechanical Polishing: 化学的機械研磨)により接続孔403と配線溝404以外に存在するA1系合金406を除去する事により平坦化を行い、埋め込み配線を形成する。この埋め込み配線形成後において、図4(d)の様にダイシングライン領域にはA1系合金406が埋め込まれる。図5は図4(d)の上面図である。この様にダイシングライン領域に配線材料が埋め込まれた状態でこの後パッシベーション膜形成を行い、パッシベーション用のリソグラフィ及びエッティングを行った後もダイシングライン領域は図4(d)の様になり、A1合金はダイシングライン領域に残る。この状態でダイシング部[図4(d) 407, 図5(d) 507]においてダイシングを行うと、ダイシングブレードの寿命を著しく下げてしまうという問題点があった。上記問題は上記配線材料をA1系合金の変わりにCuを用いる場合も同様の工程であり同じ問題点があった。

【0003】この様な問題を解決する一つの方法として、以下にダイシングライン領域の配線材料をダイシングに先立ち除去する方法について説明する。図6に従来技術に係る半導体装置の製造方法における工程の別の一例を示す。601は半導体基板、602は絶縁膜、603は接続孔、604は配線溝、605はバリアメタル、606はA1系合金、607はダイシング部、608はレジストを示している。埋め込み配線の形成は、図6(a)に示す様に半導体基板601上の絶縁膜602を被膜し、リソグラフィ及びエッティングにより接続孔603及び配線溝604を形成する。この接続孔603と配線溝604はどちらを先に形成しても構わない。この際、図6(a)に示すダイシングライン領域の絶縁膜は接続孔603若しくは配線溝604と同時にリソグラフィ及びエッティングにより除去される。次に図6(b)に

示す様にスパッタによりバリアメタル605(Ti 15nm, TiN 60nm)及びA1系合金606(1.0μm)の成膜をして接続孔603及び配線溝604に配線材料の埋め込みを行う。次に図6(c)に示す様に熱処理(レーザー照射 1.5J/cm²)を施してA1系合金606をリフローさせる。次に図6(d)に示す様にCMPにより接続孔603と配線溝604以外に存在するA1系合金606を除去する事により平坦化を行い、埋め込み配線を形成する。この埋め込み配線形成後において、図6(d)の様にダイシングライン領域にはA1系合金606が埋め込まれる。次に図6(e)に示す様にリソグラフィでレジストパターン608を形成し、図6(f)の様にエッティングによりダイシングライン領域のA1系合金606を除去する。次に図6(g)の様にアッシャーによりレジスト剥離を行う。この様に、上記第一の例で説明した問題を回避する為にダイシングライン領域の配線材料を除去するものであり、図6(e) (f) (g)の3工程を追加する必要があった。この追加工程数は、以下に示す様に配線材料としてCuを使う場合にはより増加する。図7に、配線材料としてCuを使う場合の工程の一例を示す。701は半導体基板、702は絶縁膜、703は接続孔、704は配線溝、705はバリアメタル、706はCu、707はダイシング部、708はレジスト、709はプラズマSiNを示している。埋め込み配線の形成は、図7(a)に示す様に半導体基板701上の絶縁膜702を被膜し、リソグラフィ及びエッティングにより接続孔703及び配線溝704を形成する。この接続孔703と配線溝704はどちらを先に形成しても構わない。この際、図7(a)に示すダイシングライン領域の絶縁膜は接続孔703若しくは配線溝704と同時にリソグラフィ及びエッティングにより除去される。次に図7(b)に示す様にスパッタによりバリアメタル705(Ti 15nm, TiN 60nm)及びCu 706(1.0μm)の成膜をして接続孔703及び配線溝704に配線材料の埋め込みを行う。次に図7(c)に示す様に熱処理(レーザー照射 1.5J/cm²)を施してA1系合金706をリフローさせる。次に図7(d)に示す様にCMPにより接続孔703と配線溝704以外に存在するCu 706を除去する事により平坦化を行い、埋め込み配線を形成する。この埋め込み配線形成後において、図7(d)の様にダイシングライン領域にはCu 706が埋め込まれる。次に図7(e)に示す様にP-SiN 710(200nm)を被膜し、図7(f)の様にリソグラフィでレジストパターン708を形成する。次に図7(g)に示す様に、エッティングによりダイシングライン部のP-SiN 710を除去する。次に図7(h)の様にウェットエッティングによりダイシングライン部のCu 706及びバリアメタル705を除去する。次に図7(i)の様にアッシャーによりレジスト

パターン708の剥離を行う。この様に、配線材料としてCuを使用する場合において、上記第一の例で説明した問題を回避する為には、ダイシングライン領域の配線材料を除去する事が必要であり、その為には図7 (e) (f) (g) (h) (i) の5工程を追加する必要があった。尚、配線材料としてCuを使用する場合にA1系合金を使用する場合に比べて2工程さらに追加しなければならない理由は、図7 (i) のアッシャーによるレジスト剥離の際にCuが酸化されるのを防ぐ事を目的として、図7 (e)においてレジストの下層膜としてのプラズマSiNを形成する工程が追加されている事及び図7 (f)においてダイシングライン領域のプラズマSiNをエッチングする工程が必要となる事による。

【0004】

【発明が解決しようとする課題】上記の様に、従来の埋め込み配線の形成方法においては、ダイシングライン領域に配線材料が埋めこまれた状態でダイシングを行う為、ダイシングブレードの寿命を著しく下げてしまうという問題点があった。

【0005】

【課題を解決するための手段】本発明は、上記の問題を解決すべくなされたもので、絶縁膜に対する埋め込み配線用の溝形成時若しくは埋め込み配線の下層の接続孔形成時に、ダイシングライン領域に微小なスペース部を有する擬似パターンを形成するものであり、工程数を増加させずに問題を回避する。

【0006】

【発明の実施の形態】以下、図1乃至3を参照して本発明に係る半導体装置の製造方法の実施例を、詳細に説明する。図1は、本発明に係る半導体装置の製造工程の一例を断面により示した説明図である。101は半導体基板、102は絶縁膜、102Pは擬似パターン、103は接続孔、104は配線溝、105はバリアメタル、106はCuを示している。また、半導体基板101上は本体領域とダイシング領域に分かれている。本体領域には半導体素子（表示せず）が形成されており、所定の領域において埋め込み配線（表示せず）と電気的に接続されている。図1 (a) に示す様に半導体基板101上にCVDにより絶縁膜102を1.5μm被膜し、リソグラフィ及びエッチングにより本体部の領域に深さ1.5μmの接続孔103を形成する。次に深さ0.75μmの配線溝104を形成する。この接続孔103と配線溝104の形成順序は逆でも構わない。その際、接続孔103若しくは配線溝104の形成と同時に、深さ1.5μm、残し部0.5μm幅、スペース部0.5μm幅の複数の微小スペース部102Sを有する擬似パターン102Pをリソグラフィ及びエッチングによりダイシングライン領域に形成する。次に図1 (b) に示す様にスパッタによりTi 15nm, TiN 60nmの積層からなるバリアメタル105及び1.0μmのCu 10

50

6を成膜することにより配線材料の埋め込みを行う。この時、本体領域ではこれらの配線材料が接続孔103と配線溝104に埋め込まれるが、ダイシングライン領域では擬似パターン102Pのスペース部102Sが狭い為、スパッタ粒子は擬似パターン102P上に被着し、擬似パターン102P内部へはわずかに被着するのみである。次に図1 (c) に示す様に熱処理（レーザー照射

1.5J/cm²）を施してCu 106をリフローさせる。この時、やはりダイシングライン領域では擬似パターン102Pのスペース部102Sが狭い為、レーザー照射を行っても擬似パターン上の隣り合ったCu 106が凝集し合うが、擬似パターン102Pの底部へは入らない。また、擬似パターン102P内においてもCuの凝集や絶縁膜表面への吸い上げといった現象が発生し、結果的に擬似パターン102P内へはCuは埋め込まれない。次に図1 (c) に示す様にCMPにより接続孔103と配線溝104以外に存在するCu 106を除去する事により平坦化を行い、埋め込み配線を形成する。この時、ダイシングライン領域の擬似パターン102P上のCu 106はCMPの研削によりすべて除去される。この状態でダイシングされる場合、ダイシングブレードは配線金属による傷みが発生しない為、その寿命劣化が回避できる。

【0007】次に上記擬似パターンの形状及び寸法について説明する。擬似パターンは、シャドーイング効果（溝へ侵入する被膜材料の垂直入射成分と斜方入射成分の内、斜方入射成分が溝部へ侵入出来ない現象）により出来るだけスパッタ時の粒子をブロックし、そのスペース部にスパッタ粒子が入り込まないものが好ましい。図2 (a) は図1 (d) 擬似パターン102Pの上面図であり、パターン形状が溝（ライン部202Lとスペース部202S）で構成されていることを示している。また、図2 (b) は擬似パターンが孔パターンの例を示しており、複数の微小スペースからなる202Hで構成されていることを示している。図3に、図2 (a) に示した溝（ライン部202Lとスペース部202S）による擬似パターンについてスペース部のアスペクト比（幅/絶縁膜の厚み）に対する埋め込み状態の差を示す。溝形状の場合は2.0、ホール形状の場合は1.5を境界としてアスペクト比がそれより大きい領域において空孔が発生している事が分かる。従って、擬似パターンの形状としてはこの領域の範囲内である事が好ましい。また、寸法は微細である事が必要とされ、上記擬似パターンのスペース部が、溝形状の場合は1.0μm以下、ホール形状の場合は1.2μm以下である事が好ましい。尚、上記絶縁膜に形成される擬似パターン202Pが溝パターンの場合、微小スペース部となる溝が、図1 (d) の本体領域とダイシングライン部107間を横切る様に少なくとも1つの連続領域として存在すれば、絶縁膜における本体ダイシング時のストレスが本体領域に

達するのをこの微小スペース部によって防ぐことができる。

【0008】

【発明の効果】上述した様に本発明によれば、工程を増加させることなくダイシングブレードが配線材料を削ることによる傷みを無くす事ができる為、ダイシングブレードの寿命劣化を回避することが可能となる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の製造工程断面図である。

【図2】図1 (d) のダイシングライン領域の上面図である。

【図3】溝形状、ホール形状の埋め込みパターンにおける各アスペクト比に対する空孔発生の状態を示した図である。

【図4】従来の方法による半導体装置の製造工程断面図である。

【図5】図4 (d) のダイシングライン領域の上面図である。

【図6】従来の別の方法による半導体装置の製造工程断面図である。

【図7】従来の別の方法による半導体装置の製造工程断面図である。

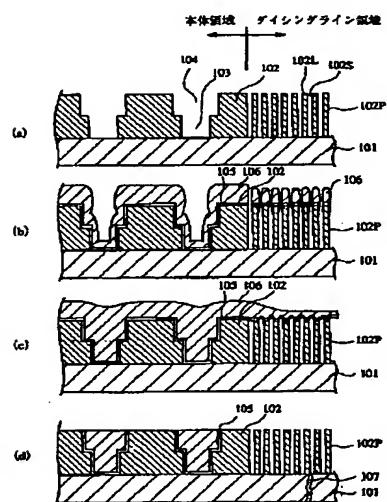
【符号の説明】

101 401 601 701 :*

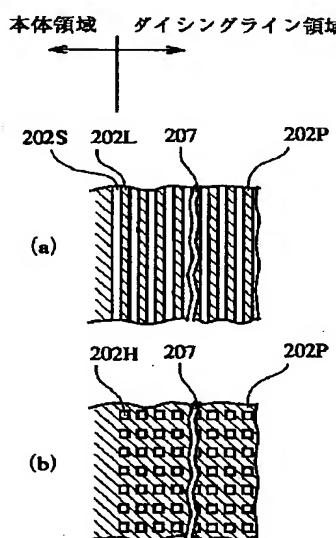
*半導体基板

102	402	502	602	702	:
絶縁膜					
103	403		603	703	:
接続孔					
104	404		604	704	:
配線溝					
105	405	505	605	705	:
バリアメタル					
106				706	:
Cu					
406	506	606			: Al系合金
107	207	407	507	607	707
ダイシング部					
608	708				: レジスト
709					: プラズマSiN
102P	202P				
擬似パターン					
102L	202L				
ライン部(残し)					
102S	202S				
スペース部(抜き)					
202H					: スペース部
(孔)					

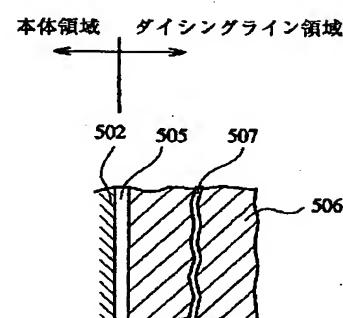
【図1】



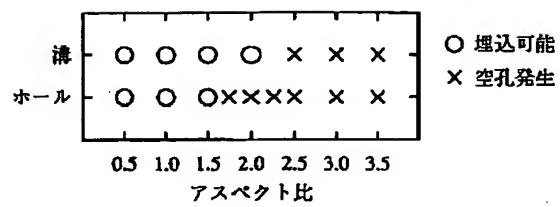
【図2】



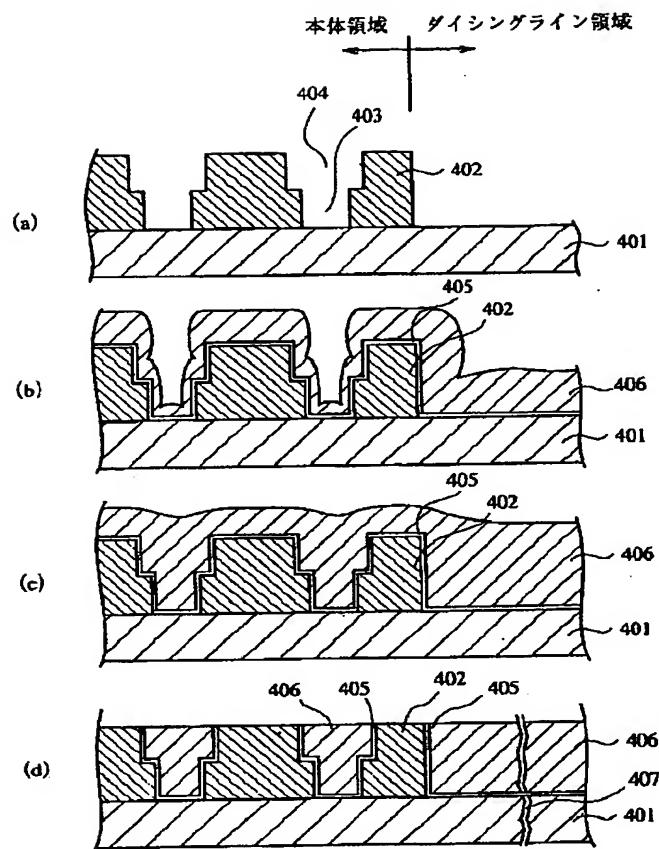
【図5】



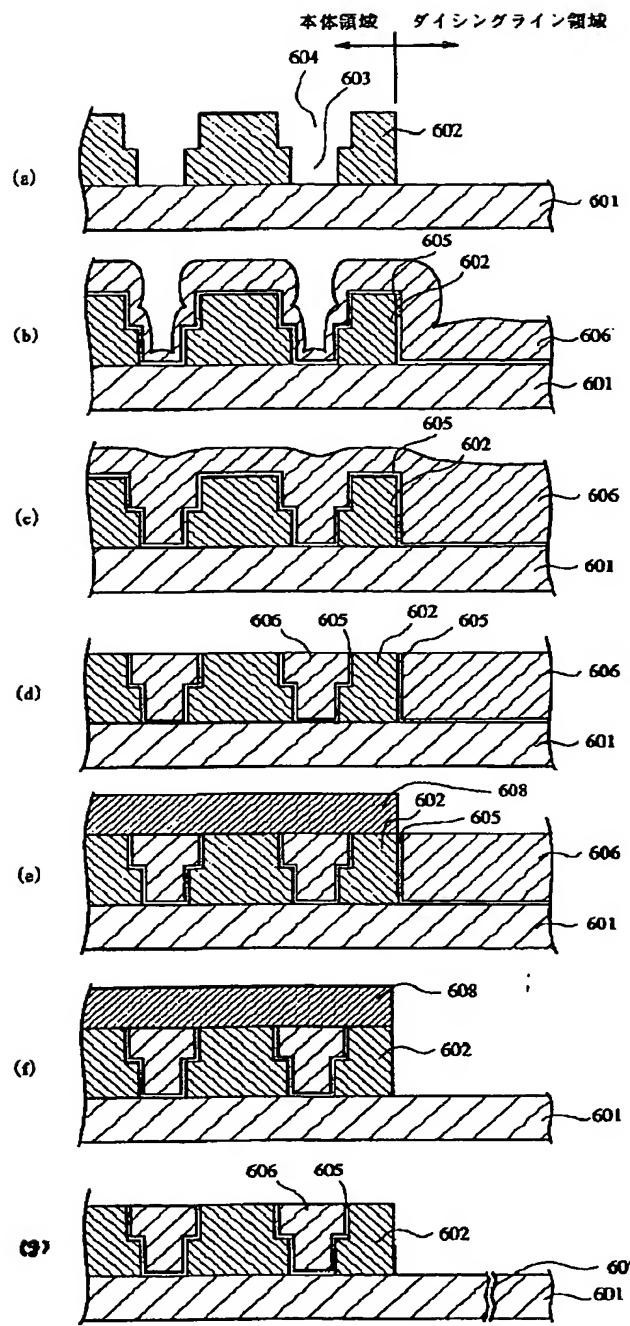
【図3】



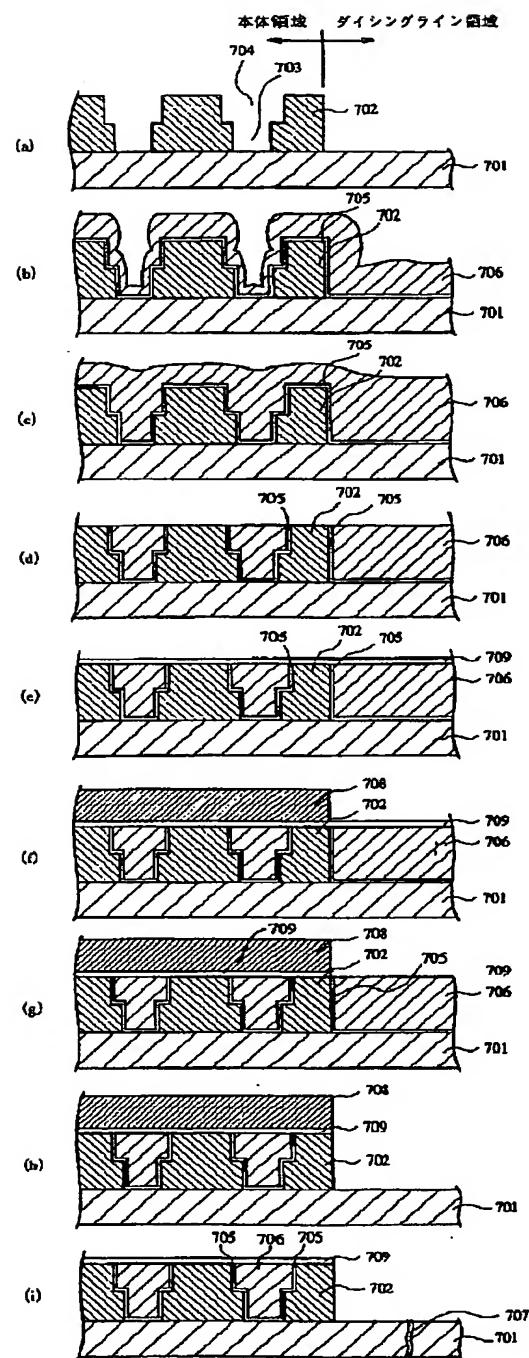
【図4】



【図6】



【図7】



フロントページの続き

(72) 発明者 間瀬 康一
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内